

Attorney Docket No. 5649-1054

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Chang-man Khang
Serial No.: To Be Assigned
Filed: Concurrently Herewith
For: INTEGRATED CIRCUIT DEVICES INCLUDING
EQUALIZATION/PRECHARGE CIRCUITS FOR IMPROVING SIGNAL
TRANSMISSION

Date: July 10, 2003

MAIL STOP PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

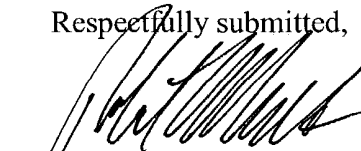
SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

10-2002-0047380, filed August 10, 2002.

Respectfully submitted,



Robert M. Meeks
Registration No. 40,723

Correspondence Address:



20792

PATENT TRADEMARK OFFICE

"Express Mail" mailing label number EV 353610055 US
Date of Deposit: July 10, 2003

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.



Candi L. Riggs
Date of Signature: July 10, 2003



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0047380
Application Number PATENT-2002-0047380

출원년월일 : 2002년 08월 10일
Date of Application AUG 10, 2002

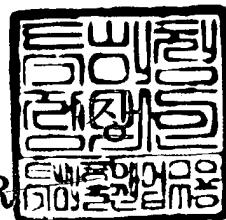
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 10 월 23 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0021
【제출일자】	2002.08.10
【국제특허분류】	H01L
【발명의 명칭】	입출력라인 쌍들을 통한 신호전달 특성을 향상시키는 등화/프리차지 회로 및 이를 구비하는 반도체 메모리장치
【발명의 영문명칭】	Equalization/precharge circuit for improving signal transmission characteristics through input output line pairs and semiconductor memory device including the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	강창만
【성명의 영문표기】	KHANG, Chang Man
【주민등록번호】	640719-1342223
【우편번호】	431-070
【주소】	경기도 안양시 동안구 평촌동 75-2번지 인덕원 대우아파트 101-1905
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

이영필 (인) 대리인

정상빈 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 21 면 21,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 28 항 1,005,000 원

【합계】 1,055,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

로컬 입출력라인 쌍들을 통한 신호전달 특성을 향상시키고 레이아웃 면적이 작은 등화/프리차지 회로가 개시된다. 상기 등화/프리차지 회로는 반도체 메모리장치에서 서로 평행하게 그리고 순서적으로 배치되는 제1로컬 입출력라인, 제2로컬 입출력라인, 상기 제1로컬 입출력라인의 상보라인, 및 상기 제2로컬 입출력라인의 상보라인을 등화시키고 프리차지시키는 등화/프리차지 회로에 관한 것으로서, 상기 등화/프리차지 회로의 레이아웃에서는 등화 트랜지스터들의 게이트들과 프리차지 트랜지스터들의 게이트들이 액티브 영역상에서 T자 형태로 서로 연결되어 배치되는 것을 특징으로 한다. 따라서 상기 등화/프리차지 회로는 로컬 입출력라인의 기생저항 값 및 기생 커패시턴스 값이 로컬 입출력라인의 상보라인의 기생저항 값 및 기생 커패시턴스 값과 거의(Substantially) 같아지게 함으로써 로컬 입출력라인 쌍들을 통한 신호전달 특성을 향상시키며 또한 레이아웃 면적이 작은 장점이 있다.

【대표도】

도 7

【명세서】**【발명의 명칭】**

입출력라인 쌍들을 통한 신호전달 특성을 향상시키는 등화/프리차지 회로 및 이를 구비하는 반도체 메모리장치{Equalization/precharge circuit for improving signal transmission characteristics through input output line pairs and semiconductor memory device including the same}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 디램에서 메모리셀 어레이 부분의 배치도를 나타내는 도면이다.

도 2는 도 1의 A-영역에서의 등화/프리차지 회로의 구성도를 나타내는 도면이다.

도 3은 도 1의 B-영역에서의 등화/프리차지 회로의 구성도를 나타내는 도면이다.

도 4는 도 2에 도시된 등화/프리차지 회로의 종래기술에 따른 레이아웃을 나타내는 도면이다.

도 5는 도 3에 도시된 등화/프리차지 회로의 종래기술에 따른 레이아웃을 나타내는 도면이다.

도 6은 도 4의 레이아웃에서 기생 저항 및 기생 커패시턴스에 대한 모델링을 포함하는 등가회로를 나타내는 도면이다.

도 7은 본 발명의 제1실시예에 따른 등화/프리차지 회로의 레이아웃을 나타내는 도면이다.

도 8은 본 발명의 제2실시예에 따른 등화/프리차지 회로의 레이아웃을 나타내는 도면이다.

도 9는 도 7의 레이아웃에서의 기생 저항 및 기생 커패시턴스에 대한 모델링을 포함하는 등가회로를 나타내는 도면이다.

도 10은 본 발명의 제3실시예에 따른 등화/프리차지 회로의 레이아웃을 나타내는 도면이다.

도 11은 본 발명의 제4실시예에 따른 등화/프리차지 회로의 레이아웃을 나타내는 도면이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13> 본 발명은 반도체 메모리장치에 관한 것으로, 특히 입출력라인 쌍을 등화시키고 프리차지시키는 등화(Equalization)/프리차지(Precharge) 회로에 관한 것이다.

<14> 일반적으로 디램은 집적도를 향상시키기 위해 공유 감지증폭기(Shared Sense Amplifier)를 구비하며 또한 많은 데이터를 동시에 액세스하기 위하여 로컬(Local) 입출력라인 쌍과 글로벌(Global) 입출력라인 쌍으로 구성되는 계층적 입출력라인 구조를 갖는다.

<15> 근래에는 디램의 고속화 추세에 따라 로컬 입출력라인 쌍과 글로벌 입출력라인 쌍의 신호전달 특성, 특히 로컬 입출력라인 쌍의 신호전달 특성이 더욱 중요해지고 있다.

로컬 입출력라인 쌍은 기입동작 및 독출동작이 아닐 때에는 등화(Equalize) 및 프리차지(Precharge)되고 기입동작 및 독출동작시에는 등화 및 프리차지 동작이 해제된다.

<16> 따라서 신호전달 특성을 향상시키기 위해서는 즉 동작속도를 향상시키기 위해서는 로컬 입출력라인의 기생저항 값 및 기생 커패시턴스 값이 로컬 입출력라인의 상보라인의 기생저항 값 및 기생 커패시턴스 값과 거의(Substantially) 동일해야 한다. 그렇지 않을 경우에는 로컬 입출력라인 쌍간의 등화 및 프리차지 동작이 비대칭적으로 실행되어 신호 전달 특성이 나빠질 수 있다.

<17> 도 1은 디램에서 메모리셀 어레이 부분의 배치도를 나타내는 도면이다.

<18> 도 1을 참조하면, 비트라인 감지증폭기 블록들(11a-11d)은 상측의 메모리셀 블록들(13a-13d)과 하측의 메모리셀 블록들(15a-15d)에 의해 공유된다. 복수개의 좌측 로컬 입출력라인 쌍들(LI00_L/LI00B_L, LI01_L/LI01B_L)은 소정의 경로(미도시)를 통해 비트라인 감지증폭기 블록들(11a, 11b)에 연결되고 서로 평행하게 배치된다. 복수개의 우측 로컬 입출력라인 쌍들(LI00_R/LI00B_R, LI01_R/LI01B_R)은 소정의 경로(미도시)를 통해 비트라인 감지증폭기 블록들(11c, 11d)에 연결되고 서로 평행하게 배치된다. 여기에서는 편의상 두 개의 좌측 로컬 입출력라인 쌍들과 두 개의 우측 로컬 입출력라인 쌍들만이 도시되었다.

<19> 좌측 로컬 입출력라인 쌍들(LI00_L/LI00B_L, LI01_L/LI01B_L)은 쌍(Pair)으로 배치되지 않고 제1입출력라인(LI00_L), 제2입출력라인(LI01_L), 제1입출력라인의 상보라인(LI00B_L), 및 제2입출력라인의 상보라인(LI01B_L) 순서로 배치된다. 마찬가지로 우측 로컬 입출력라인 쌍들(LI00_R/LI00B_R, LI01_R/LI01B_R)도 쌍(Pair)으로 배치되지 않고

제1입출력라인(LI00_R), 제2입출력라인(LI01_R), 제1입출력라인의 상보라인(LI00B_R), 및 제2입출력라인의 상보라인(LI01B_R) 순서로 배치된다.

<20> 각 비트라인 감지증폭기 사이의 영역들(A-영역, B-영역)에는 로컬 입출력라인 쌍들(LI00_L/LI00B_L, LI01_L/LI01B_L, LI00_R/LI00B_R, LI01_R/LI01B_R)을 등화시키고 프리차지시키는 등화/프리차지 회로가 배치된다.

<21> 도 2는 도 1의 A-영역에서의 등화/프리차지 회로의 구성도를 나타내는 도면이다.

<22> 도 2를 참조하면, A-영역에는 두 개의 등화/프리차지 회로(21,23)가 포함된다. 등화/프리차지 회로(21)는 제1등화 트랜지스터(211), 제1프리차지 트랜지스터(212), 제2프리차지 트랜지스터(213), 제2등화 트랜지스터(214), 제3프리차지 트랜지스터(215), 및 제4프리차지 트랜지스터(216)을 구비한다. 등화/프리차지 회로(23)는 제1등화 트랜지스터(231), 제1프리차지 트랜지스터(232), 제2프리차지 트랜지스터(233), 제2등화 트랜지스터(234), 제3프리차지 트랜지스터(235), 및 제4프리차지 트랜지스터(236)을 구비한다.

<23> 제1로컬 입출력라인 쌍(LI00,LI00B)은 스위치 트랜지스터들(SW1,SW2)을 통해 글로벌 입출력라인 쌍(GIOi,GIOiB)에 연결되고 제2로컬 입출력라인 쌍(LI01,LI01B)은 스위치 트랜지스터들(SW3,SW4)을 통해 글로벌 입출력라인 쌍(GIOj,GIOjB)에 연결된다.

<24> 도 3은 도 1의 B-영역에서의 등화/프리차지 회로의 구성도를 나타내는 도면이다.

<25> 도 3을 참조하면, B-영역에는 두 개의 등화/프리차지 회로(31,33)가 포함된다. 등화/프리차지 회로(31)는 제1등화 트랜지스터(311), 제2프리차지 트랜지스터(312), 제3프리차지 트랜지스터(313), 제2등화 트랜지스터(314), 제3프리차지 트랜지스터(315), 및 제4프리차지 트랜지스터(316)을 구비한다. 등화/프리차지 회로(33)는 제1등화 트랜지스

터(331), 제2프리차지 트랜지스터(332), 제3프리차지 트랜지스터(333), 제2등화 트랜지스터(334), 제3프리차지 트랜지스터(335), 및 제4프리차지 트랜지스터(336)을 구비한다.

<26> 제1좌측 로컬 입출력라인 쌍(LI00_L, LI00B_L)은 스위치 트랜지스터들(SW5, SW6)을 통해 글로벌 입출력라인 쌍(GI0m, GI0mB)에 연결되고 제2우측 로컬 입출력라인 쌍(LI01_R, LI01B_R)은 스위치 트랜지스터들(SW7, SW8)을 통해 글로벌 입출력라인 쌍(GI0n, GI0nB)에 연결된다.

<27> 도 4는 도 2에 도시된 등화/프리차지 회로의 종래기술에 따른 레이아웃을 나타내는 도면이고 도 5는 도 3에 도시된 등화/프리차지 회로의 종래기술에 따른 레이아웃을 나타내는 도면이다. 도 6은 도 4의 레이아웃에서 기생 저항 및 기생 커패시턴스에 대한 모델링을 포함하는 등가회로를 나타내는 도면이다.

<28> 도 4의 EQ1은 도 2의 등화 트랜지스터(231)에 해당된다. PCH1은 도 2의 프리차지 트랜지스터(232)에 해당되고 PCH2는 도 2의 프리차지 트랜지스터(233)에 해당된다. EQ2는 도 2의 등화 트랜지스터(214)에 해당되고 PCH3는 도 2의 프리차지 트랜지스터(215)에 해당되며 PCH4는 도 2의 프리차지 트랜지스터(216)에 해당된다.

<29> 도 4 및 도 5를 참조하면, 종래기술에 따른 레이아웃에서는 등화/프리차지 회로가 특정 부분, 즉 로컬 입출력라인 쌍들(LI00/LI00B, LI01/LI01B)의 하단부에 배치된다. 이에 따라 비트라인 폴리실리콘(bitline poly) 또는 제2메탈(Metal2)과 같은 점프된(Jumped) 라인을 사용하여 트랜지스터들을 연결하게 되는 데, 이로 인하여 도 6에 도시된 바와 같이 로컬 입출력라인(LI00, LI01)의 기생저항 값 및 기생 커패시턴스 값이 로컬 입출력라인의 상보라인(LI00B, LI01B)의 기생저항 값 및 기생 커패시턴스 값과 달라지게 된다.

<30> 즉 C01(LI00과 PCH1 사이의 기생 커패시턴스) 값과 C01b(LI00B과 PCH2 사이의 기생 커패시턴스) 값이 서로 다르고 R01(LI00과 PCH1 사이의 기생 저항) 값과 R01b(LI00B과 PCH2 사이의 기생 저항) 값이 서로 다르다. 또한 C02(PCH1과 EQ1 사이의 기생 커패시턴스) 값과 C02b(PCH2와 EQ1 사이의 기생 커패시턴스) 값이 서로 다르고 R02(PCH1과 EQ1 사이의 기생 저항) 값과 R02b(PCH2와 EQ1 사이의 기생 저항) 값이 서로 다르다.

<31> 또한 C11(LI01과 PCH3 사이의 기생 커패시턴스) 값과 C11b(LI01B과 PCH4 사이의 기생 커패시턴스) 값이 서로 다르고 R11(LI01과 PCH3 사이의 기생 저항) 값과 R11b(LI01B과 PCH4 사이의 기생 저항) 값이 서로 다르다. 또한 C12(PCH3과 EQ2 사이의 기생 커패시턴스) 값과 C12b(PCH4와 EQ2 사이의 기생 커패시턴스) 값이 서로 다르고 R12(PCH3과 EQ2 사이의 기생 저항) 값과 R12b(PCH4와 EQ2 사이의 기생 저항) 값이 서로 다르다.

<32> 이로 인하여 로컬 입출력라인(LI00)과 이의 상보라인(LI00B)간의 등화 및 프리차지 동작이 비대칭적으로 실행되고 또한 로컬 입출력라인(LI01)과 이의 상보라인(LI01B)간의 등화 및 프리차지 동작도 비대칭적으로 실행된다. 이로 인하여 로컬 입출력라인 쌍들을 통한 신호전달 특성이 나빠질 수 있으며 결국 동작속도가 떨어질 수 있다.

【발명이 이루고자 하는 기술적 과제】

<33> 따라서 본 발명이 이루고자하는 기술적 과제는, 로컬 입출력라인의 기생저항 값 및 기생 커패시턴스 값이 로컬 입출력라인의 상보라인의 기생저항 값 및 기생 커패시턴스 값과 거의(Substantially) 같아지게 함으로써 로컬 입출력라인 쌍들을 통한 신호전달 특성을 향상시키는 등화/프리차지 회로를 제공하는 데 있다.

<34> 본 발명이 이루고자하는 다른 기술적 과제는, 로컬 입출력라인의 기생저항 값 및 기생 커패시턴스 값이 로컬 입출력라인의 상보라인의 기생저항 값 및 기생 커패시턴스 값과 거의(Substantially) 같아지게 함으로써 로컬 입출력라인 쌍들을 통한 신호전달 특성을 향상시키는 등화/프리차지 회로를 구비하는 반도체 메모리장치를 제공하는 데 있다.

【발명의 구성 및 작용】

<35> 상기 기술적 과제를 달성하기 위한 본 발명에 따른 등화/프리차지 회로는, 메모리 셀 어레이에 연결되는 제1비트라인, 제2비트라인, 상기 제1비트라인의 상보 비트라인, 및 상기 제2비트라인의 상보 비트라인에 칼럼선택 트랜지스터들을 통해 연결되고 서로 평행하게 순서적으로 배치되는 제1데이터라인, 제2데이터라인, 상기 제1데이터라인의 상보 데이터라인, 및 상기 제2데이터라인의 상보 데이터라인을 등화시키고 프리차지시키는 등화/프리차지 회로에 관한 것이다.

<36> 본 발명의 일실시예에 따른 등화/프리차지 회로는, 상기 제1데이터라인 및 상기 제1데이터라인의 상보 데이터라인을 등화시키는 제1등화 트랜지스터, 상기 제1데이터라인을 소정의 전압레벨로 프리차지시키는 제1프리차지 트랜지스터, 상기 제1데이터라인의 상보 데이터라인을 상기 소정의 전압레벨로 프리차지시키는 제2프리차지 트랜지스터, 상기 제2데이터라인 및 상기 제2데이터라인의 상보 데이터라인을 등화시키는 제2등화 트랜지스터, 상기 제2데이터라인을 상기 소정의 전압레벨로 프리차지시키는 제3프리차지 트랜지스터, 및 상기 제2데이터라인의 상보 데이터라인을 상기 소정의 전압레벨로 프리차지시키는 제4프리차지 트랜지스터를 구비하고,

- <37> 상기 제1등화 트랜지스터, 상기 제1프리차지 트랜지스터, 및 상기 제2프리차지 트랜지스터의 게이트들은 액티브 영역상에 T자 형태로 서로 연결되어 배치되고 또한 상기 제2등화 트랜지스터, 상기 제3프리차지 트랜지스터, 및 상기 제4프리차지 트랜지스터의 게이트들도 상기 액티브 영역상에 T자 형태로 서로 연결되어 배치되는 것을 특징으로 한다.
- <38> 본 발명의 다른 실시예에 따른 등화/프리차지 회로는, 상기 제1데이터라인 및 상기 제1데이터라인의 상보 데이터라인을 등화시키는 제1등화 트랜지스터, 상기 제1데이터라인을 소정의 전압레벨로 프리차지시키는 제1프리차지 트랜지스터, 상기 제1데이터라인의 상보 데이터라인을 상기 소정의 전압레벨로 프리차지시키는 제2프리차지 트랜지스터, 상기 제2데이터라인 및 상기 제2데이터라인의 상보 데이터라인을 등화시키는 제2등화 트랜지스터, 상기 제2데이터라인을 상기 소정의 전압레벨로 프리차지시키는 제3프리차지 트랜지스터, 상기 제2데이터라인의 상보 데이터라인을 상기 소정의 전압레벨로 프리차지시키는 제4프리차지 트랜지스터, 및 상기 제1데이터라인 및 상기 제2데이터라인을 등화시키는 부가 등화 트랜지스터를 구비하고,
- <39> 상기 제1등화 트랜지스터, 상기 제1프리차지 트랜지스터, 및 상기 제2프리차지 트랜지스터의 게이트들은 액티브 영역상에 T자 형태로 서로 연결되어 배치되고 또한 상기 제2등화 트랜지스터, 상기 제3프리차지 트랜지스터, 및 상기 제4프리차지 트랜지스터의 게이트들도 상기 액티브 영역상에 T자 형태로 서로 연결되어 배치되며 상기 부가 등화 트랜지스터의 게이트도 상기 액티브 영역상에 T자 형태로 배치되는 것을 특징으로 한다.

- <40> 상기 일실시에 또는 상기 다른 실시예에 따른 등화/프리차지 회로의 레이아웃 구조는, 제1엑티브 영역, 제2엑티브 영역, 및 상기 제1엑티브 영역상에 T자 형태로 배치되고 또한 상기 제2엑티브 영역상에서도 T자 형태로 배치되는 게이트 영역을 구비하고,
- <41> 상기 제1엑티브 영역에서 상기 T자 형태의 게이트 영역에 의해 분리되어 형성되는 3개의 엑티브 영역중 하나에 상기 제1데이터라인이 연결되고 다른 하나에는 상기 제1데이터라인의 상보 데이터라인이 연결되고 또다른 하나에는 소정의 전압라인이 연결되며, 상기 제2엑티브 영역에서 상기 T자 형태의 게이트 영역에 의해 분리되어 형성되는 3개의 엑티브 영역중 하나에 상기 제2데이터라인이 연결되고 다른 하나에 상기 제2데이터라인의 상보 데이터라인이 연결되고 또다른 하나에는 상기 소정의 전압라인이 연결되는 것을 특징으로 한다.
- <42> 상기 등화/프리차지 회로의 레이아웃 구조에서는, 상기 제1데이터라인의 상보 데이터라인은 소정의 점프된 패턴라인(Jumped pattern line)을 통해 상기 제1엑티브 영역내의 3개의 엑티브 영역중 상기 다른 하나에 연결될 수 있다. 또는 상기 제1데이터라인의 상보 데이터라인은 소정의 점프된 패턴라인(Jumped pattern line) 없이 상기 제1엑티브 영역내의 3개의 엑티브 영역중 상기 다른 하나에 직접 연결된다. 상기 제1엑티브 영역과 상기 제2엑티브 영역은 서로 연결된 하나의 엑티브 영역일 수 있다.
- <43> 상기 다른 실시예에 따른 등화/프리차지 회로의 레이아웃 구조에서는, 상기 제1엑티브 영역과 상기 제2엑티브 영역이 서로 연결되고 연결된 엑티브 영역상에서 상기 게이트 영역이 T자 형태로 확장 배치되어 상기 부가 등화 트랜지스터가 형성된다.
- <44> 상기 다른 기술적 과제를 달성하기 위한 본 발명의 일면에 따른 반도체 메모리장치는, 메모리셀 어레이; 상기 메모리셀 어레이에 연결되는 제1비트라인, 제2비트라인, 상

기 제1비트라인의 상보 비트라인, 및 상기 제2비트라인의 상보 비트라인; 상기 제1비트라인, 상기 제2비트라인, 상기 제1비트라인의 상보 비트라인, 및 상기 제2비트라인의 상보 비트라인에 칼럼선택 트랜지스터들을 통해 연결되고 서로 평행하게 순서적으로 배치되는 제1데이터라인, 제2데이터라인, 상기 제1데이터라인의 상보 데이터라인, 및 상기 제2데이터라인의 상보 데이터라인; 및 상기 일실시에에 따른 등화/프리차지 회로를 구비하는 것을 특징으로 한다.

<45> 본 발명의 다른 일면에 따른 반도체 메모리장치는, 메모리셀 어레이; 상기 메모리셀 어레이에 연결되는 제1비트라인, 제2비트라인, 상기 제1비트라인의 상보 비트라인, 및 상기 제2비트라인의 상보 비트라인; 상기 제1비트라인, 상기 제2비트라인, 상기 제1비트라인의 상보 비트라인, 및 상기 제2비트라인의 상보 비트라인에 칼럼선택 트랜지스터들을 통해 연결되고 서로 평행하게 순서적으로 배치되는 제1데이터라인, 제2데이터라인, 상기 제1데이터라인의 상보 데이터라인, 및 상기 제2데이터라인의 상보 데이터라인; 및 상기 다른 실시예에 따른 등화/프리차지 회로를 구비하는 것을 특징으로 한다.

<46> 상기 데이터라인들은 로컬 입출력라인들 또는 글로벌 입출력라인들이다.

<47> 본 발명과 본 발명의 동작 상의 잇점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<48> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<49> 도 7은 본 발명의 제1실시에 따른 등화/프리차지 회로의 레이아웃을 나타내는 도면이다. 이 레이아웃은 도 1에 도시된 디램의 A-영역에서의 등화/프리차지 회로에 대한 것이다. 여기에서는 편의상 두 개의 로컬 입출력라인 쌍들(LI00/LI00B, LI01/LI01B)만이 도시되었다.

<50> 도 7을 참조하면, 본 발명의 제1실시에 따른 등화/프리차지 회로의 레이아웃에서는 로컬 입출력라인 쌍들(LI00/LI00B, LI01/LI01B)이 쌍(Pair)으로 배치되지 않고 제1입출력라인(LI00), 제2입출력라인(LI01), 제1입출력라인의 상보라인(LI00B), 및 제2입출력라인의 상보라인(LI01B) 순서로 배치된다.

<51> 특히 제1등화 트랜지스터(EQ1), 제1프리차지 트랜지스터(PCH1), 및 제2프리차지 트랜지스터(PCH2)의 게이트들은 액티브 영역(A1)상에 T자 형태로 서로 연결되어 배치된다. 또한 제2등화 트랜지스터(EQ2), 제3프리차지 트랜지스터(PCH3), 및 제4프리차지 트랜지스터(PCH4)의 게이트들도 액티브 영역(A2)상에 T자 형태로 서로 연결되어 배치된다. 모든 게이트들은 서로 연결되고 제어신호(LIOEQ)에 의해 제어된다. 액티브 영역(A1)과 액티브 영역(A2)는 도 7에서와 같이 서로 연결될 수도 있고 또한 분리되어 레이아웃될 수도 있다.

<52> 좀더 상세하게는 게이트 폴리실리콘으로 형성되는 게이트 영역(GP)이 제1액티브 영역(A1)상에 T자 형태로 배치되고 또한 제2액티브 영역(A2)상에서도 T자 형태로 배치된다.

<53> 제1액티브 영역(A1)에서 T자 형태의 게이트 영역(GP)에 의해 분리되어 형성되는 3개의 액티브 영역중 하나에 제1로컬 입출력라인(LI00)이 연결되고 다른 하나에는 제1로컬 입출력라인의 상보라인(LI00B)이 연결되고 또다른 하나에는 소정의 전압라인(VBL)이

연결된다. 제1로컬 입출력라인의 상보라인(LI00B)은 비트라인 폴리실리콘 또는 제2메탈로 형성되는 소정의 점프된 패턴라인(Jumped pattern line)(M2)을 통해 제1액티브 영역(A1)내의 3개의 액티브 영역중 상기 다른 하나에 연결된다.

<54> 제2액티브 영역(A2)에서 T자 형태의 게이트 영역(GP)에 의해 분리되어 형성되는 3개의 액티브 영역중 하나에는 제2로컬 입출력라인(LI01)이 연결되고 다른 하나에는 제2로컬 입출력라인의 상보라인(LI01B)이 연결되고 또다른 하나에는 소정의 전압라인(VBL)이 연결된다.

<55> 로컬 입출력라인 쌍들(LI00/LI00B, LI01/LI01B)은 제1메탈(M1)로 형성된다. 도 7에서 MC1은 메탈 콘택(Metal contact)을 나타내고 MC2는 메탈 콘택 또는 비아 콘택(Via contact)을 나타내며 DC는 직접 콘택(Direct contact)을 나타낸다.

<56> 제1등화 트랜지스터(EQ1)는 제어신호(LIOEQ)에 응답하여 제1로컬 입출력라인(LI00) 및 제1로컬 입출력라인의 상보라인(LI00B)을 등화시킨다. 제1프리차지 트랜지스터(PCH1)는 제어신호(LIOEQ)에 응답하여 제1로컬 입출력라인(LI00)을 소정의 전압레벨(VBL)로 프리차지시킨다. 제2프리차지 트랜지스터(PCH2)는 제어신호(LIOEQ)에 응답하여 제1로컬 입출력라인의 상보라인(LI00B)을 소정의 전압레벨(VBL)로 프리차지시킨다.

<57> 제2등화 트랜지스터(EQ2)는 제어신호(LIOEQ)에 응답하여 제2로컬 입출력라인(LI01) 및 제2로컬 입출력라인의 상보라인(LI01B)을 등화시킨다. 제3프리차지 트랜지스터(PCH3)는 제어신호(LIOEQ)에 응답하여 제2로컬 입출력라인(LI01)을 소정의 전압레벨(VBL)로 프리차지시킨다. 제4프리차지 트랜지스터(PCH4)는 제어신호(LIOEQ)에 응답하여 제2로컬 입출력라인의 상보라인(LI01B)을 소정의 전압레벨(VBL)로 프리차지시킨다.

<58> 도 8은 본 발명의 제2실시예에 따른 등화/프리차지 회로의 레이아웃을 나타내는 도면이다. 이 레이아웃은 도 1에 도시된 디램의 B-영역에서의 등화/프리차지 회로에 대한 것이다.

<59> 도 8을 참조하면, 본 발명의 제2실시예에 따른 레이아웃은 도 7의 제1실시예에 따른 레이아웃과 거의 동일하다. 단지 제1실시예에서와 달리 제1입출력라인의 상보라인(LI00B_L 또는 LI00B_R)이 점프된 패턴라인(Jumped pattern line) 없이 제1액티브 영역 내(A1)의 3개의 액티브 영역중 하나에 직접 연결된다.

<60> 도 9는 도 7의 레이아웃에서의 기생 저항 및 기생 커패시턴스에 대한 모델링을 포함하는 등가회로를 나타내는 도면이다.

<61> 상술한 본 발명의 제1실시예 및 제2실시예에 따른 레이아웃에서는 도 7 및 도 8을 참조하면 등화 트랜지스터들(EQ1, EQ2) 및 프리차지 트랜지스터들(PCH1-PCH4)이 거의 대칭적으로 형성된다. 따라서 도 9에 도시된 로컬 입출력라인(LI00, LI01)의 기생저항 값 및 기생 커패시턴스 값이 로컬 입출력라인의 상보라인(LI00B, LI01B)의 기생저항 값 및 기생 커패시턴스 값과 거의(Substantially) 같아진다.

<62> 즉 C01(LI00과 PCH1 사이의 기생 커패시턴스) 값과 C01b(LI00B과 PCH2 사이의 기생 커패시턴스) 값이 거의 같아지고 R01(LI00과 PCH1 사이의 기생 저항) 값과 R01b(LI00B과 PCH2 사이의 기생 저항) 값이 거의 같아진다. 또한 C02(PCH1과 EQ1 사이의 기생 커패시턴스) 값과 C02b(PCH2와 EQ1 사이의 기생 커패시턴스) 값이 거의 같아지고 R02(PCH1과 EQ1 사이의 기생 저항) 값과 R02b(PCH2와 EQ1 사이의 기생 저항) 값이 거의 같아진다.

<63> 또한 C11(LI01과 PCH3 사이의 기생 커패시턴스) 값과 C11b(LI01B과 PCH4 사이의 기생 커패시턴스) 값이 거의 같아지고 R11(LI01과 PCH3 사이의 기생 저항) 값과 R11b(LI01B과 PCH4 사이의 기생 저항) 값이 거의 같아진다. 또한 C12(PCH3과 EQ2 사이의 기생 커패시턴스) 값과 C12b(PCH4와 EQ2 사이의 기생 커패시턴스) 값이 거의 같아지고 R12(PCH3과 EQ2 사이의 기생 저항) 값과 R12b(PCH4와 EQ2 사이의 기생 저항) 값이 거의 같아진다.

<64> 따라서 로컬 입출력라인(LI00)과 이의 상보라인(LI00B)간의 등화 및 프리차지 동작이 거의 대칭적으로 실행되고 또한 로컬 입출력라인(LI01)과 이의 상보라인(LI01B)간의 등화 및 프리차지 동작도 거의 대칭적으로 실행된다. 따라서 로컬 입출력라인 쌍들을 통한 신호전달 특성이 향상되고 결국 동작속도가 향상될 수 있다.

<65> 또한 본 발명의 제1실시에 및 제2실시에에 따른 레이아웃에서는 도 7 및 도 8을 참조하면 등화 트랜지스터들(EQ1, EQ2) 및 프리차지 트랜지스터들(PCH1-PCH4)이 로컬 입출력라인 쌍들(LI00/LI00B, LI01/LI01B) 근처에 배치된다. 따라서 도 4 및 도 5에 도시된 종래의 레이아웃에 비하여 면적이 크게 감소된다.

<66> 도 10은 본 발명의 제3실시에에 따른 등화/프리차지 회로의 레이아웃을 나타내는 도면이다. 이 레이아웃은 도 1에 도시된 디램의 A-영역에서의 등화/프리차지 회로에 대한 것이다.

<67> 도 10을 참조하면, 본 발명의 제3실시에에 따른 레이아웃은 도 7의 제1실시에에 따른 레이아웃과 거의 동일하다. 단지 제1실시에에서와 달리 제1엑티브 영역(A1)과 제2엑티브 영역(A2)이 서로 연결되고 연결된 제3엑티브 영역(A3)상에서 게이트 영역(GP)이 T자 형태로 확장 배치된다. 이에 따라 제어신호(LIOEQ)에 응답하여 제1입출력라인(LI00)

및 제2입출력라인(LI01)을 등화시키는 부가(Additional) 등화 트랜지스터(EQ3)가 형성된다.

<68> 또한 도 10의 오른쪽에 도시된 부분에서는 부가 등화 트랜지스터(EQ3')가 형성된다. 부가 등화 트랜지스터(EQ3')는 제어신호(LIOEQ)에 응답하여 제1입출력라인의 상보라인(LI00B) 및 제2입출력라인의 상보라인(LI01B)을 등화시킨다.

<69> 도 11은 본 발명의 제4실시예에 따른 등화/프리차지 회로의 레이아웃을 나타내는 도면이다. 이 레이아웃은 도 1에 도시된 디램의 B-영역에서의 등화/프리차지 회로에 대한 것이다.

<70> 도 11을 참조하면, 본 발명의 제4실시예에 따른 레이아웃은 도 8의 제2실시예에 따른 레이아웃과 거의 동일하다. 단지 제2실시예에서와 달리 제1엑티브 영역(A1)과 제2엑티브 영역(A2)이 서로 연결되고 연결된 제3엑티브 영역(A3)상에서 게이트 영역(GP)이 T자 형태로 확장 배치된다. 이에 따라 부가 등화 트랜지스터(EQ3)가 형성된다. 부가 등화 트랜지스터(EQ3)는 제어신호(LIOEQ)에 응답하여 제1좌측 입출력라인(LI00_L) 및 제2좌측 입출력라인(LI01_L)을 등화시킨다.

<71> 또한 도 11의 오른쪽에 도시된 부분에서는 부가 등화 트랜지스터(EQ3')가 형성된다. 부가 등화 트랜지스터(EQ3')는 제어신호(LIOEQ)에 응답하여 제1우측 입출력라인의 상보라인(LI00B_R) 및 제2우측 입출력라인의 상보라인(LI01B_R)을 등화시킨다.

<72> 이상에서와 같이 본 발명의 제3실시예 및 제4실시예에 따른 레이아웃에서는 제1실시예 및 제2실시예와 비교하여 제1입출력라인(LI00) 및 제2입출력라인(LI01)을 등화시키

는 부가 등화 트랜지스터(EQ3)와 제1입출력라인의 상보라인(LI00B) 및 제2입출력라인의 상보라인(LI01B)을 등화시키는 부가 등화 트랜지스터(EQ3')가 더 형성된다.

<73> 이에 따라 제1입출력라인(LI00)의 등화 및 프리차지 레벨이 제2입출력라인(LI01)의 등화 및 프리차지 레벨과 다르더라도 부가 등화 트랜지스터(EQ3)에 의해 두 라인들(LI00, LI01)의 레벨이 같아지게 된다. 이와 마찬가지로 제1입출력라인의 상보라인(LI00B)의 등화 및 프리차지 레벨이 제2입출력라인의 상보라인(LI01B)의 등화 및 프리차지 레벨과 다르더라도 부가 등화 트랜지스터(EQ3')에 의해 두 라인들(LI00B, LI01B)의 레벨이 같아지게 된다.

<74> 따라서 등화 및 프리차지 동작시 모든 입출력라인 쌍들의 레벨들이 전압차없이 같아지게 되며 이에 따라 입출력라인 쌍들을 통한 신호전달이 보다 안정되게 이루어질 수 있다.

<75> 상술한 본 발명에 따른 등화/프리차지 회로는 도 1에 도시된 바와 같은 일반적인 디램에 채용되어 사용될 수 있다. 이러한 경우 로컬 입출력라인 쌍들을 통한 신호전달 특성이 향상되어 결국 디램의 동작속도가 향상되고 또한 칩 면적이 감소되는 장점이 있다.

<76> 한편 상기 실시예들에서는 로컬 입출력라인 쌍에 대한 등화/프리차지 회로가 설명되었으나 본 발명에 따른 등화/프리차지 회로가 글로벌 입출력라인 쌍에도 적용될 수 있음은 자명하다.

<77> 이상 도면과 명세서에서 최적 실시예들이 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나

특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<78> 상술한 바와 같이 본 발명에 따른 등화/프리차지 회로의 레이아웃 구조는 로컬 입출력라인 쌍들을 통한 신호전달 특성을 향상시키며 또한 종래의 레이아웃에 비하여 면적이 작은 장점이 있다. 따라서 본 발명에 따른 등화/프리차지 회로를 구비하는 디램에서는 로컬 입출력라인 쌍들을 통한 신호전달 특성이 향상되어 결국 디램의 동작속도가 향상되고 또한 칩 면적이 감소된다.

【특허청구범위】**【청구항 1】**

메모리셀 어레이에 연결되는 비트라인 및 상보 비트라인에 칼럼선택 트랜지스터들을 통해 연결되고 서로 평행하게 배치되는 데이터라인 및 상보 데이터라인을 등화시키고 프리차지시키는 등화/프리차지 회로에 있어서,

상기 데이터라인 및 상기 상보 데이터라인을 등화시키는 등화 트랜지스터;

상기 데이터라인을 소정의 전압레벨로 프리차지시키는 제1프리차지 트랜지스터; 및

상기 상보 데이터라인을 상기 소정의 전압레벨로 프리차지시키는 제2프리차지 트랜지스터를 구비하고,

상기 등화 트랜지스터의 게이트, 상기 제1프리차지 트랜지스터의 게이트 및 상기 제2프리차지 트랜지스터의 게이트는 액티브 영역상에 T자 형태로 서로 연결되어 배치되는 것을 특징으로 하는 등화/프리차지 회로.

【청구항 2】

제1항에 있어서, 상기 데이터라인은 로컬 입출력라인인 것을 특징으로 하는 등화/프리차지 회로.

【청구항 3】

제1항에 있어서, 상기 데이터라인은 글로벌 입출력라인인 것을 특징으로 하는 등화/프리차지 회로.

【청구항 4】

메모리셀 어레이에 연결되는 제1비트라인, 제2비트라인, 상기 제1비트라인의 상보 비트라인, 및 상기 제2비트라인의 상보 비트라인에 칼럼선택 트랜지스터들을 통해 연결되고 서로 평행하게 순서적으로 배치되는 제1데이터라인, 제2데이터라인, 상기 제1데이터라인의 상보 데이터라인, 및 상기 제2데이터라인의 상보 데이터라인을 등화시키고 프리차지시키는 등화/프리차지 회로에 있어서,

상기 제1데이터라인 및 상기 제1데이터라인의 상보 데이터라인을 등화시키는 제1 등화 트랜지스터;

상기 제1데이터라인을 소정의 전압레벨로 프리차지시키는 제1프리차지 트랜지스터;

상기 제1데이터라인의 상보 데이터라인을 상기 소정의 전압레벨로 프리차지시키는 제2프리차지 트랜지스터;

상기 제2데이터라인 및 상기 제2데이터라인의 상보 데이터라인을 등화시키는 제2 등화 트랜지스터;

상기 제2데이터라인을 상기 소정의 전압레벨로 프리차지시키는 제3프리차지 트랜지스터; 및

상기 제2데이터라인의 상보 데이터라인을 상기 소정의 전압레벨로 프리차지시키는 제4프리차지 트랜지스터를 구비하고,

상기 제1등화 트랜지스터, 상기 제1프리차지 트랜지스터, 및 상기 제2프리차지 트랜지스터의 게이트들은 액티브 영역상에 T자 형태로 서로 연결되어 배치되고 또한 상기 제2등화 트랜지스터, 상기 제3프리차지 트랜지스터, 및 상기 제4프리차지 트랜지스터의

게이트들도 상기 액티브 영역상에 T자 형태로 서로 연결되어 배치되는 것을 특징으로 하는 등화/프리차지 회로.

【청구항 5】

제4항에 있어서, 상기 제1 및 제2데이터라인은 로컬 입출력라인인 것을 특징으로 하는 등화/프리차지 회로.

【청구항 6】

제4항에 있어서, 상기 제1 및 제2데이터라인은 글로벌 입출력라인인 것을 특징으로 하는 등화/프리차지 회로.

【청구항 7】

메모리셀 어레이에 연결되는 제1비트라인, 제2비트라인, 상기 제1비트라인의 상보 비트라인, 및 상기 제2비트라인의 상보 비트라인에 칼럼선택 트랜지스터들을 통해 연결되고 서로 평행하게 순서적으로 배치되는 제1데이터라인, 제2데이터라인, 상기 제1데이터라인의 상보 데이터라인, 및 상기 제2데이터라인의 상보 데이터라인을 등화시키고 프리차지시키는 등화/프리차지 회로에 있어서,

상기 제1데이터라인 및 상기 제1데이터라인의 상보 데이터라인을 등화시키는 제1 등화 트랜지스터;

상기 제1데이터라인을 소정의 전압레벨로 프리차지시키는 제1프리차지 트랜지스터;

상기 제1데이터라인의 상보 데이터라인을 상기 소정의 전압레벨로 프리차지시키는 제2프리차지 트랜지스터;

상기 제2데이터라인 및 상기 제2데이터라인의 상보 데이터라인을 등화시키는 제2등화 트랜지스터;

상기 제2데이터라인을 상기 소정의 전압레벨로 프리차지시키는 제3프리차지 트랜지스터;

상기 제2데이터라인의 상보 데이터라인을 상기 소정의 전압레벨로 프리차지시키는 제4프리차지 트랜지스터; 및

상기 제1데이터라인 및 상기 제2데이터라인을 등화시키는 부가 등화 트랜지스터를 구비하고,

상기 제1등화 트랜지스터, 상기 제1프리차지 트랜지스터, 및 상기 제2프리차지 트랜지스터의 게이트들은 액티브 영역상에 T자 형태로 서로 연결되어 배치되고 또한 상기 제2등화 트랜지스터, 상기 제3프리차지 트랜지스터, 및 상기 제4프리차지 트랜지스터의 게이트들도 상기 액티브 영역상에 T자 형태로 서로 연결되어 배치되며 상기 부가 등화 트랜지스터의 게이트도 상기 액티브 영역상에 T자 형태로 배치되는 것을 특징으로 하는 등화/프리차지 회로.

【청구항 8】

제7항에 있어서, 상기 제1 및 제2데이터라인은 로컬 입출력라인인 것을 특징으로 하는 등화/프리차지 회로.

【청구항 9】

제7항에 있어서, 상기 제1 및 제2데이터라인은 글로벌 입출력라인인 것을 특징으로 하는 등화/프리차지 회로.

【청구항 10】

메모리셀 어레이에 연결되는 비트라인 및 상보 비트라인에 칼럼선택 트랜지스터들을 통해 연결되고 서로 평행하게 배치되는 데이터라인 및 상보 데이터라인을 등화시키고 프리차지시키는 등화/프리차지 회로의 레이아웃 구조에 있어서,

액티브 영역; 및

상기 액티브 영역상에 T자 형태로 배치되는 게이트 영역을 구비하고,

상기 액티브 영역에서 상기 T자 형태의 게이트 영역에 의해 분리되어 형성되는 3개의 액티브 영역중 하나에 상기 데이터라인이 연결되고 다른 하나에 상기 상보 데이터라인이 연결되고 또 다른 하나에는 소정의 전압라인이 연결되는 것을 특징으로 하는 등화/프리차지 회로의 레이아웃 구조.

【청구항 11】

제10항에 있어서, 상기 데이터라인은 로컬 입출력라인인 것을 특징으로 하는 등화/프리차지 회로의 레이아웃 구조.

【청구항 12】

제10항에 있어서, 상기 데이터라인은 글로벌 입출력라인인 것을 특징으로 하는 등화/프리차지 회로의 레이아웃 구조.

【청구항 13】

메모리셀 어레이에 연결되는 제1비트라인, 제2비트라인, 상기 제1비트라인의 상보 비트라인, 및 상기 제2비트라인의 상보 비트라인에 칼럼선택 트랜지스터들을 통해 연결되고 서로 평행하게 순서적으로 배치되는 제1데이터라인, 제2데이터라인, 상기 제1데이

터라인의 상보 데이터라인, 및 상기 제2데이터라인의 상보 데이터라인을 등화시키고 프리차지시키는 등화/프리차지 회로의 레이아웃 구조에 있어서,

제 1액티브 영역;

제2액티브 영역; 및

상기 제1액티브 영역상에 T자 형태로 배치되고 또한 상기 제2액티브 영역상에서도 T자 형태로 배치되는 게이트 영역을 구비하고,

상기 제1액티브 영역에서 상기 T자 형태의 게이트 영역에 의해 분리되어 형성되는 3개의 액티브 영역중 하나에 상기 제1데이터라인이 연결되고 다른 하나에는 상기 제1데이터라인의 상보 데이터라인이 연결되고 또다른 하나에는 소정의 전압라인이 연결되며,

상기 제2액티브 영역에서 상기 T자 형태의 게이트 영역에 의해 분리되어 형성되는 3개의 액티브 영역중 하나에 상기 제2데이터라인이 연결되고 다른 하나에 상기 제2데이터라인의 상보 데이터라인이 연결되고 또다른 하나에는 상기 소정의 전압라인이 연결되는 것을 특징으로 하는 등화/프리차지 회로의 레이아웃 구조.

【청구항 14】

제13항에 있어서, 상기 제1데이터라인의 상보 데이터라인은 소정의 점프된 패턴라인(Jumped pattern line)을 통해 상기 제1액티브 영역내의 3개의 액티브 영역중 상기 다른 하나에 연결되는 것을 특징으로 하는 등화/프리차지 회로의 레이아웃 구조.

【청구항 15】

제13항에 있어서, 상기 제1데이터라인의 상보 데이터라인은 소정의 점프된 패턴라인(Jumped pattern line) 없이 상기 제1액티브 영역내의 3개의 액티브 영역중 상기 다른 하나에 직접 연결되는 것을 특징으로 하는 등화/프리차지 회로의 레이아웃 구조.

【청구항 16】

제13항에 있어서, 상기 제1액티브 영역과 상기 제2액티브 영역은 서로 연결된 하나의 액티브 영역인 것을 특징으로 하는 등화/프리차지 회로의 레이아웃 구조.

【청구항 17】

제13항에 있어서, 상기 제1액티브 영역과 상기 제2액티브 영역은 서로 연결되고 연결된 액티브 영역상에서 상기 게이트 영역이 T자 형태로 확장 배치되는 것을 특징으로 하는 등화/프리차지 회로의 레이아웃 구조.

【청구항 18】

제13항에 있어서, 상기 제1 및 제2데이터라인은 로컬 입출력라인인 것을 특징으로 하는 등화/프리차지 회로의 레이아웃 구조.

【청구항 19】

제13항에 있어서, 상기 제1 및 제2데이터라인은 글로벌 입출력라인인 것을 특징으로 하는 등화/프리차지 회로의 레이아웃 구조.

【청구항 20】

메모리셀 어레이;

상기 메모리셀 어레이에 연결되는 비트라인 및 상보 비트라인;

상기 비트라인 및 상기 상보 비트라인에 칼럼선택 트랜지스터들을 통해 연결되고 서로 평행하게 배치되는 데이터라인 및 상보 데이터라인;

상기 데이터라인 및 상기 상보 데이터라인을 등화시키는 등화 트랜지스터;

상기 데이터라인을 소정의 전압레벨로 프리차지시키는 제1프리차지 트랜지스터; 및

상기 상보 데이터라인을 상기 소정의 전압레벨로 프리차지시키는 제2프리차지 트랜지스터를 구비하고,

상기 등화 트랜지스터의 게이트, 상기 제1프리차지 트랜지스터의 게이트 및 상기 제2프리차지 트랜지스터의 게이트는 액티브 영역상에 T자 형태로 서로 연결되어 배치되는 것을 특징으로 하는 반도체 메모리장치.

【청구항 21】

제20항에 있어서, 상기 데이터라인은 로컬 입출력라인인 것을 특징으로 하는 반도체 메모리장치.

【청구항 22】

제20항에 있어서, 상기 데이터라인은 글로벌 입출력라인인 것을 특징으로 하는 반도체 메모리장치.

【청구항 23】

메모리셀 어레이;

상기 메모리셀 어레이에 연결되는 제1비트라인, 제2비트라인, 상기 제1비트라인의 상보 비트라인, 및 상기 제2비트라인의 상보 비트라인;

상기 제1비트라인, 상기 제2비트라인, 상기 제1비트라인의 상보 비트라인, 및 상기 제2비트라인의 상보 비트라인에 칼럼선택 트랜지스터들을 통해 연결되고 서로 평행하게 순서적으로 배치되는 제1데이터라인, 제2데이터라인, 상기 제1데이터라인의 상보 데이터라인, 및 상기 제2데이터라인의 상보 데이터라인;

상기 제1데이터라인 및 상기 제1데이터라인의 상보 데이터라인을 등화시키는 제1 등화 트랜지스터;

상기 제1데이터라인을 소정의 전압레벨로 프리차지시키는 제1프리차지 트랜지스터;

상기 제1데이터라인의 상보 데이터라인을 상기 소정의 전압레벨로 프리차지시키는 제2프리차지 트랜지스터;

상기 제2데이터라인 및 상기 제2데이터라인의 상보 데이터라인을 등화시키는 제2 등화 트랜지스터;

상기 제2데이터라인을 상기 소정의 전압레벨로 프리차지시키는 제3프리차지 트랜지스터; 및

상기 제2데이터라인의 상보 데이터라인을 상기 소정의 전압레벨로 프리차지시키는 제4프리차지 트랜지스터를 구비하고,

상기 제1등화 트랜지스터, 상기 제1프리차지 트랜지스터, 및 상기 제2프리차지 트랜지스터의 게이트들은 액티브 영역상에 T자 형태로 서로 연결되어 배치되고 또한 상기 제2등화 트랜지스터, 상기 제3프리차지 트랜지스터, 및 상기 제4프리차지 트랜지스터의 게이트들도 상기 액티브 영역상에 T자 형태로 서로 연결되어 배치되는 것을 특징으로 하는 반도체 메모리장치.

【청구항 24】

제23항에 있어서, 상기 제1 및 제2데이터라인은 로컬 입출력라인인 것을 특징으로 하는 반도체 메모리장치.

【청구항 25】

제23항에 있어서, 상기 제1 및 제2데이터라인은 글로벌 입출력라인인 것을 특징으로 하는 반도체 메모리장치.

【청구항 26】

메모리셀 어레이;

상기 메모리셀 어레이에 연결되는 제1비트라인, 제2비트라인, 상기 제1비트라인의 상보 비트라인, 및 상기 제2비트라인의 상보 비트라인;

상기 제1비트라인, 상기 제2비트라인, 상기 제1비트라인의 상보 비트라인, 및 상기 제2비트라인의 상보 비트라인에 칼럼선택 트랜지스터들을 통해 연결되고 서로 평행하게 순서적으로 배치되는 제1데이터라인, 제2데이터라인, 상기 제1데이터라인의 상보 데이터라인, 및 상기 제2데이터라인의 상보 데이터라인;

상기 제1데이터라인 및 상기 제1데이터라인의 상보 데이터라인을 등화시키는 제1 등화 트랜지스터;

상기 제1데이터라인을 소정의 전압레벨로 프리차지시키는 제1프리차지 트랜지스터;

상기 제1데이터라인의 상보 데이터라인을 상기 소정의 전압레벨로 프리차지시키는 제2프리차지 트랜지스터;

상기 제2데이터라인 및 상기 제2데이터라인의 상보 데이터라인을 등화시키는 제2등화 트랜지스터;

상기 제2데이터라인을 상기 소정의 전압레벨로 프리차지시키는 제3프리차지 트랜지스터;

상기 제2데이터라인의 상보 데이터라인을 상기 소정의 전압레벨로 프리차지시키는 제4프리차지 트랜지스터; 및

상기 제1데이터라인 및 상기 제2데이터라인을 등화시키는 부가 등화 트랜지스터를 구비하고,

상기 제1등화 트랜지스터, 상기 제1프리차지 트랜지스터, 및 상기 제2프리차지 트랜지스터의 게이트들은 액티브 영역상에 T자 형태로 서로 연결되어 배치되고 또한 상기 제2등화 트랜지스터, 상기 제3프리차지 트랜지스터, 및 상기 제4프리차지 트랜지스터의 게이트들도 상기 액티브 영역상에 T자 형태로 서로 연결되어 배치되며 상기 부가 등화 트랜지스터의 게이트도 상기 액티브 영역상에 T자 형태로 배치되는 것을 특징으로 하는 반도체 메모리장치.

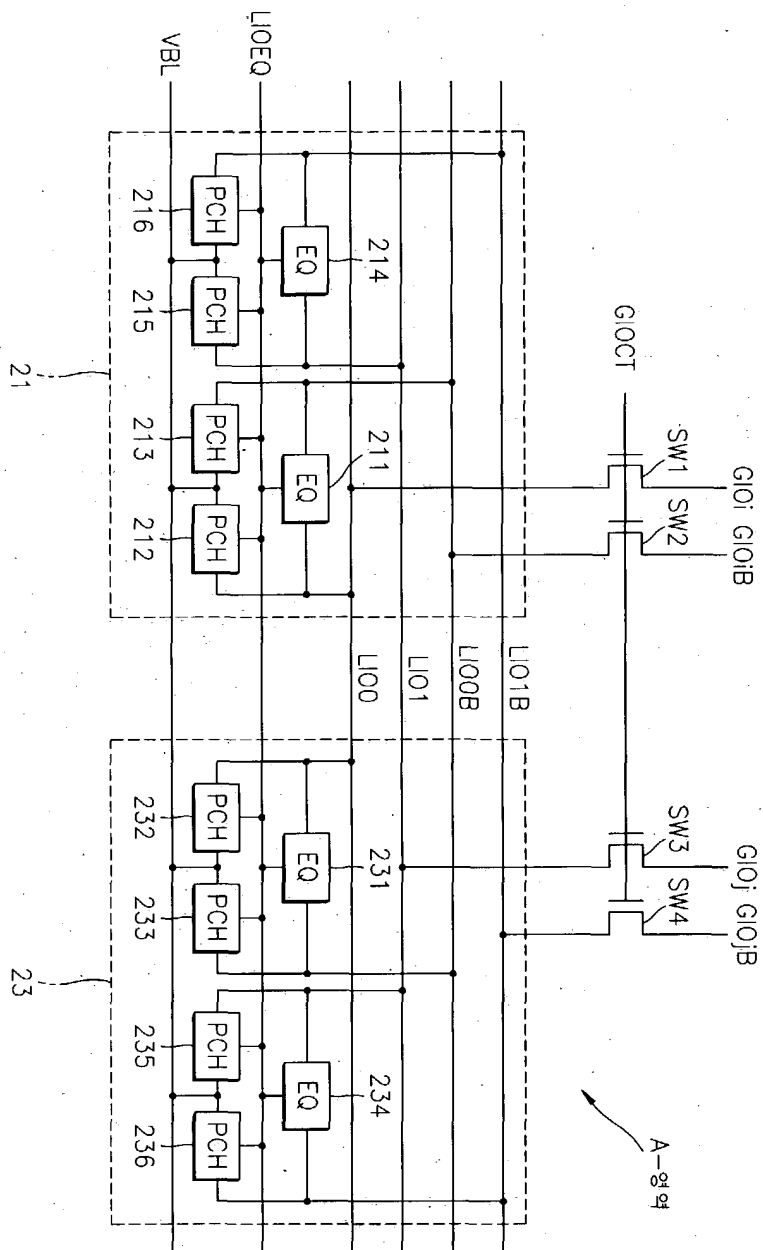
【청구항 27】

제26항에 있어서, 상기 제1 및 제2데이터라인은 로컬 입출력라인인 것을 특징으로 하는 반도체 메모리장치.

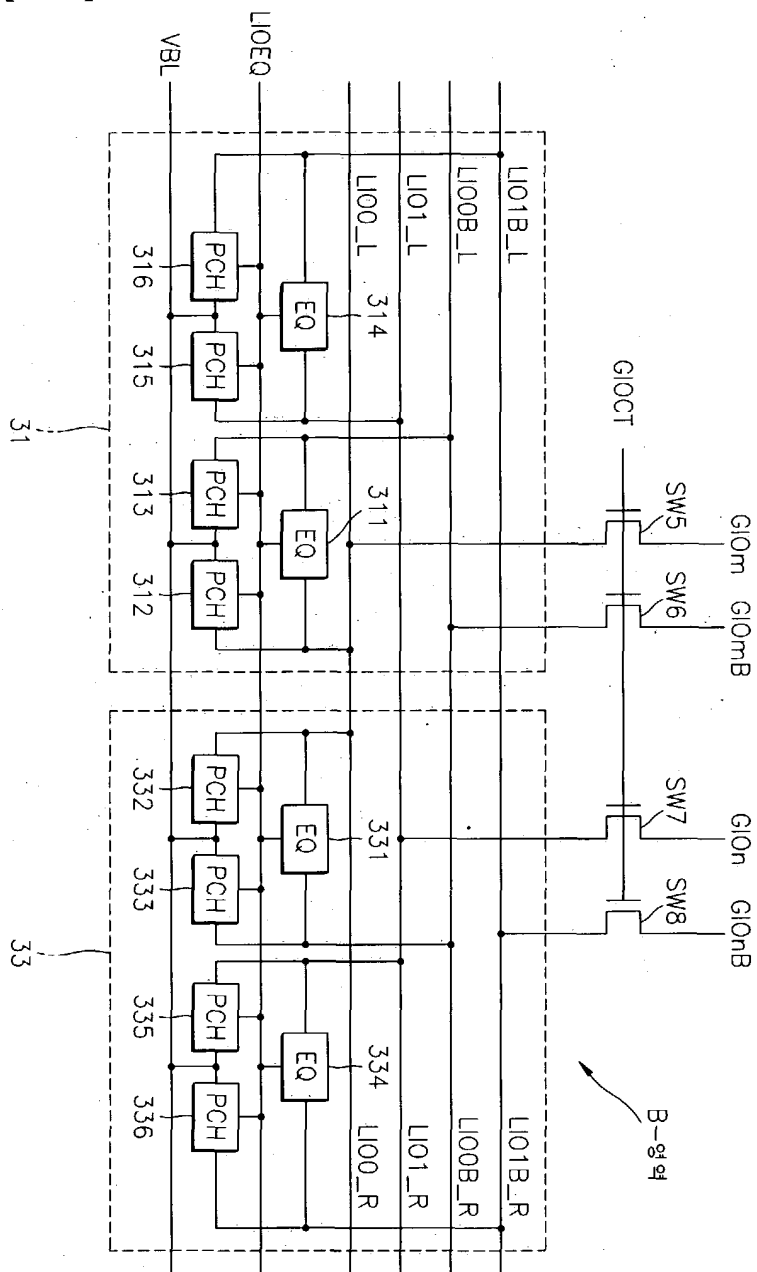
【청구항 28】

제26항에 있어서, 상기 제1 및 제2데이터라인은 글로벌 입출력라인인 것을 특징으로 하는 반도체 메모리장치.

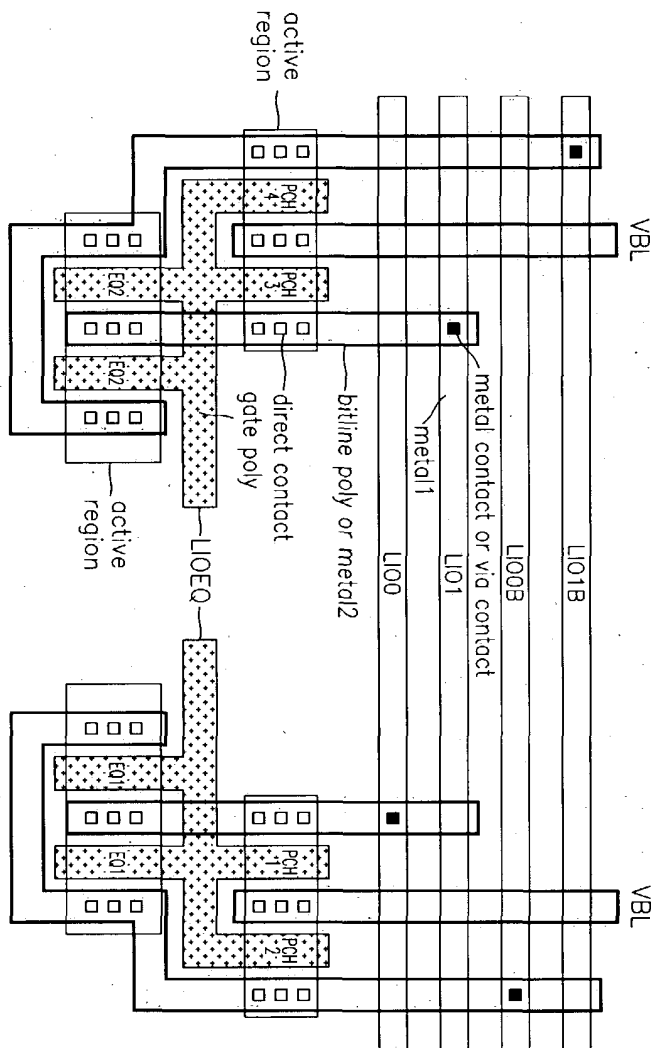
【도 2】



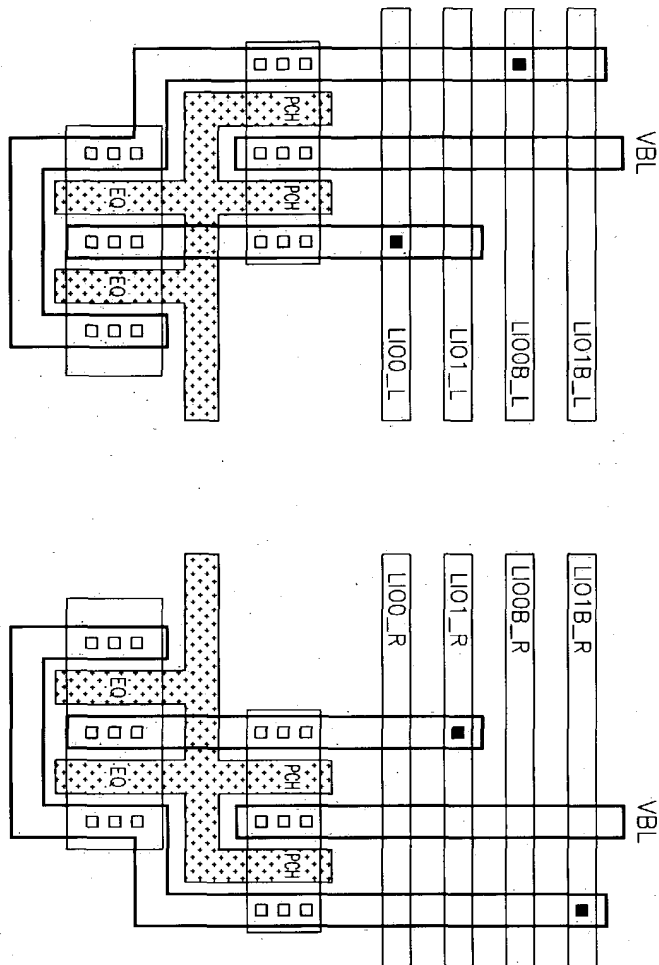
【도 3】



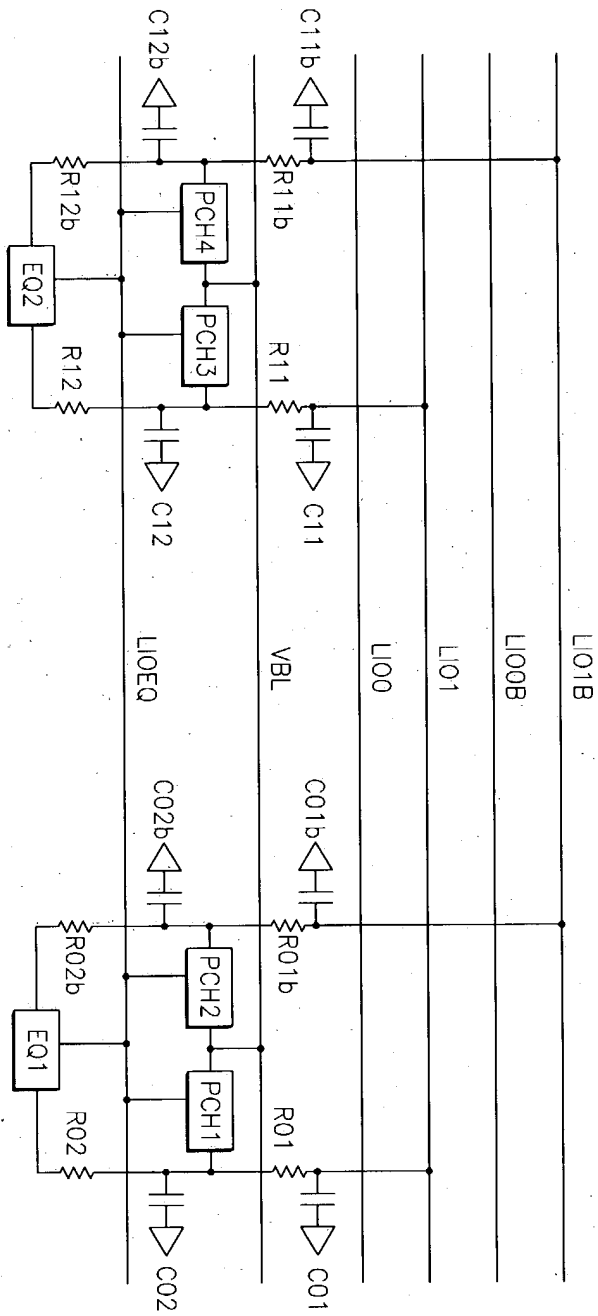
【도 4】



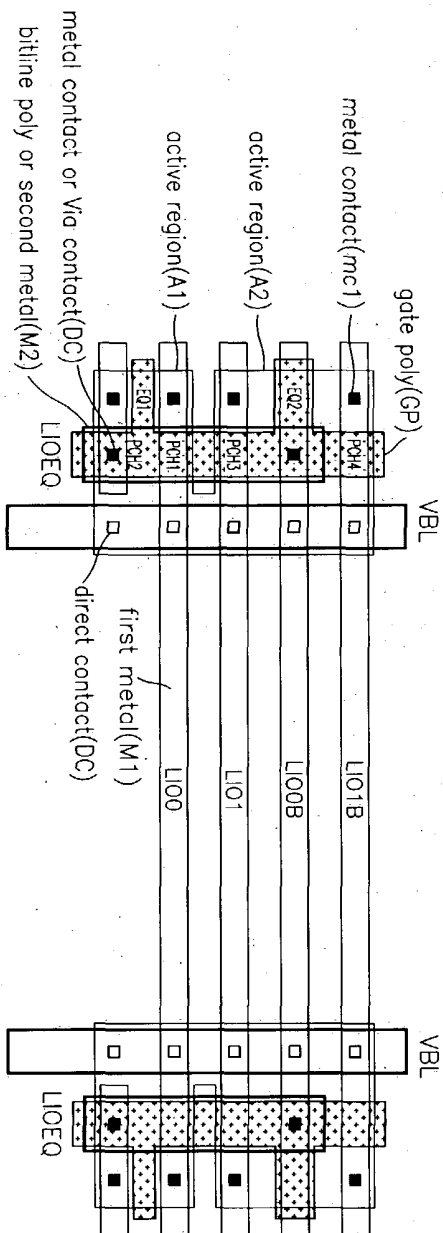
【도 5】



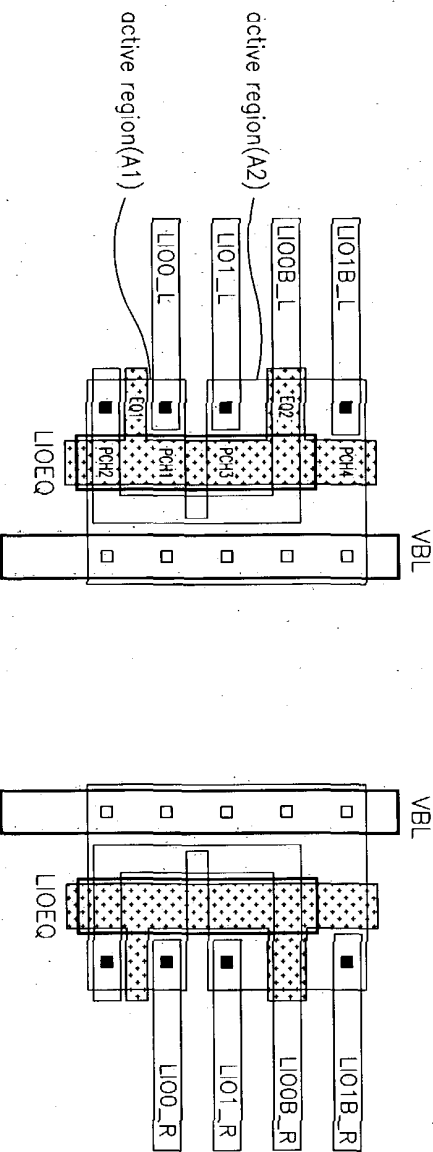
【도 6】



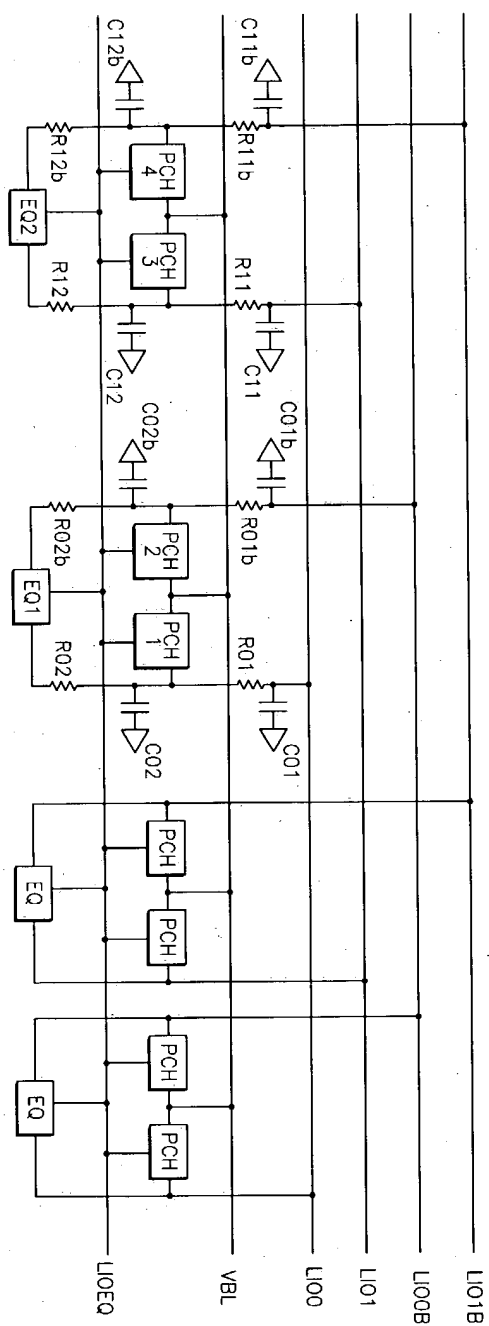
【도 7】



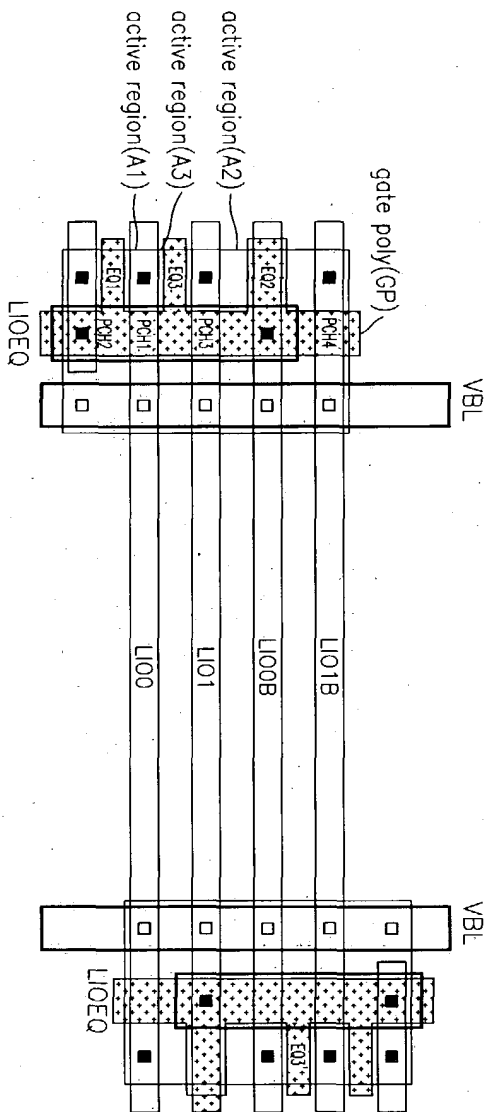
【도 8】



【도 9】



【도 10】



【도 11】

